



IPW

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kohei OIKAWA

GAU: 2818

SERIAL NO: 10/823,658

EXAMINER:

FILED: April 14, 2004

FOR: SEMICONDUCTOR MEMORY DEVICE FOR CORRECTING ERRORS USING ECC (ERROR CORRECTING CODE) CIRCUIT

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2004-010806	January 19, 2004

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

Surinder Sachar

Registration No. 34,423

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

031695
10/8231658

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application: 2004年 1月19日

出 願 番 号
Application Number: 特願2004-010806
ST. 10/C]: [JP2004-010806]

願 人
Applicant(s): 株式会社東芝

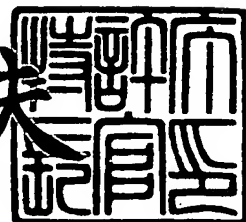
BEST AVAILABLE COPY

CERTIFIED COPY OF
PRIORITY DOCUMENT

2004年 4月27日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3036351

【書類名】 特許願
【整理番号】 A000306155
【提出日】 平成16年 1月19日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/10
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ
 レクトロニクスセンター内
 【氏名】 及川 恒平
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【代理人】
 【識別番号】 100058479
 【弁理士】
 【氏名又は名称】 鈴江 武彦
 【電話番号】 03-3502-3181
【選任した代理人】
 【識別番号】 100091351
 【弁理士】
 【氏名又は名称】 河野 哲
【選任した代理人】
 【識別番号】 100088683
 【弁理士】
 【氏名又は名称】 中村 誠
【選任した代理人】
 【識別番号】 100108855
 【弁理士】
 【氏名又は名称】 蔵田 昌俊
【選任した代理人】
 【識別番号】 100084618
 【弁理士】
 【氏名又は名称】 村松 貞男
【選任した代理人】
 【識別番号】 100092196
 【弁理士】
 【氏名又は名称】 橋本 良郎
【手数料の表示】
 【予納台帳番号】 011567
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

少なくとも第 1 の領域および第 2 の領域を有し、セルデータを格納するメモリアレイと

、
前記第 2 の領域よりも前記第 1 の領域に近い距離に配置され、前記セルデータが入力されるデータ入力回路と、

前記データ入力回路より入力された前記セルデータから、誤り訂正処理のためのパリティデータを発生する誤り訂正回路と、

前記パリティデータは前記第 1 の領域に格納するように制御する制御回路と
を具備したことを特徴とする半導体記憶装置。

【請求項 2】

前記メモリアレイは、前記第 1 の領域および前記第 2 の領域を各々備えた第 1 のメモリ部および第 2 のメモリ部を有することを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記メモリアレイは、

前記第 1 の領域に接続された第 1 のデータ線と、

前記第 2 の領域に接続された第 2 のデータ線と

を備えることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 4】

前記第 1 のデータ線と前記第 2 のデータ線との間にスイッチを具備することを特徴とする請求項 3 に記載の半導体記憶装置。

【請求項 5】

前記メモリアレイは、

前記第 1 の領域および前記第 2 の領域に共通に接続された共通データ線

を備えることを特徴とする請求項 1 に記載の半導体記憶装置。

【書類名】明細書

【発明の名称】半導体記憶装置

【技術分野】

【0001】

本発明は、半導体記憶装置に関するもので、特に、誤り訂正コード（以下、ECC（Error Correcting Code）と略記する）回路を用いてデータ訂正を行う方式の半導体メモリ装置に関する。

【背景技術】

【0002】

従来、情報伝送技術の分野においては、ECC回路を用いてデータ訂正を行う方法が広く知られている。また、半導体メモリ装置においても、ECC回路を用いて、歩留まりや信頼性の向上を図ることが行われようになってきている（たとえば、特許文献1参照）。今後、半導体メモリ装置の歩留まりや信頼性を確保するためにも、ECC回路の搭載が必要となる場合が多くなると予想される。

【0003】

しかしながら、半導体メモリ装置は、メモリの大容量化や高集積化にともなって、メモリ内部におけるデータ転送時間が長くなる傾向にある。ECC回路を設けた場合、メモリ内部でのデータアクセスにかかる時間が一層増加するため、半導体メモリ装置の性能上、大きな問題となる。

【特許文献1】特開2003-151297

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明は、ECC回路を適用した場合においても、データアクセス、特に、データの書き込みにかかる時間を短縮することが可能な半導体記憶装置を提供することを目的としている。

【課題を解決するための手段】

【0005】

本願発明の一態様によれば、少なくとも第1の領域および第2の領域を有し、セルデータを格納するメモリアレイと、前記第2の領域よりも前記第1の領域に近い距離に配置され、前記セルデータが入力されるデータ入力回路と、前記データ入力回路より入力された前記セルデータから、誤り訂正処理のためのパリティデータを発生する誤り訂正回路と、前記パリティデータは前記第1の領域に格納するように制御する制御回路とを具備したことを特徴とする半導体記憶装置が提供される。

【発明の効果】

【0006】

この発明によれば、誤り訂正処理のためのパリティデータをデータ入力回路から近いメモリ領域に優先的に格納できるようになる結果、ECC回路を適用した場合においても、データアクセス、特に、データの書き込みにかかる時間を短縮することが可能な半導体記憶装置を提供できる。

【発明を実施するための最良の形態】

【0007】

以下、本発明の実施の形態について図面を参照して説明する。

【0008】

〔第1の実施形態〕

図1は、この発明の第1の実施形態にしたがった、ECC回路を備える半導体メモリ装置の基本構成を示すものである。ここでは、ECC回路の方式として、32ビット分の元データ（セルデータ）に6ビット分のパリティデータを付加する方式とした場合について説明する。また、32ビット分の元データに6ビット分のパリティデータを付加した38ビット分のデータを、19ビット分ずつ2つの異なるメモリ領域に分けて格納する場合の

例である。

【0009】

この半導体メモリ装置の場合、たとえば、メモリアレイ (Memory Array) 11、タイミング信号発生器 (Timing Generator) 12、アドレスバッファ (Address Buffer) 13、DQバッファ 14a, 14b、デコーダ回路 (decoder) 15、スイッチ回路 (Switch) 16a, 16b, 16c, 16d、パリティ生成回路 (ECC1) 17、誤り訂正回路 (ECC2) 18、および、入出力回路 (I/O circuit) 19などを有して構成されている。タイミング信号発生器 12は、外部制御信号 /CE, /OE, /WEを受けて、上記メモリアレイ 11、上記DQバッファ 14a, 14bおよび上記入出力回路 19の制御を行うもので、基本的な制御は周知であるため、ここでの詳細な説明は割愛する。

【0010】

上記メモリアレイ 11は、複数 (この例の場合、8つ) のメモリ領域 MA0, MA1, MA2, MA3, MA4, MA5, MA6, MA7に分割されている。8つのメモリ領域 MA0, ~, MA7は、4つずつ、2列に配置されている。本実施形態の場合、各メモリ領域 MA2, MA3, MA6, MA7によって第1の領域が、各メモリ領域 MA0, MA1, MA4, MA5によって第2の領域が、それぞれ構成されている。また、メモリ領域 MA0, MA1, MA2, MA3によって第1のメモリ部が、メモリ領域 MA4, MA5, MA6, MA7によって第2のメモリ部が、それぞれ構成されている。

【0011】

上記メモリ領域 MA0, ~, MA7は、1回のアクセスによって、ほぼ同時に2つの領域が活性化されるようになっている。たとえば、入出力回路 19からの距離が大きく異なる、メモリ領域 (第2の領域) MA0とメモリ領域 (第1の領域) MA6とがほぼ同時に活性化される。同様に、メモリ領域 (第2の領域) MA1とメモリ領域 (第1の領域) MA7とがほぼ同時に活性化される。同様に、メモリ領域 (第2の領域) MA4とメモリ領域 (第1の領域) MA2とがほぼ同時に活性化される。同様に、メモリ領域 (第2の領域) MA5とメモリ領域 (第1の領域) MA3とがほぼ同時に活性化される。

【0012】

すなわち、上記入出力回路 19には、上記タイミング信号発生器 12、上記パリティ生成回路 17、上記誤り訂正回路 18、および、上記スイッチ回路 16aが接続されている。上記スイッチ回路 16aには、上記DQバッファ 14a, 14bおよび上記パリティ生成回路 17が接続されている。上記誤り訂正回路 18は、上記スイッチ回路 16bを介して、上記DQバッファ 14a, 14bに接続されている。上記DQバッファ 14aには、上記タイミング信号発生器 12が接続されるとともに、19ビット分のデータ線 21aを介して、上記メモリ領域 MA2, MA3および上記スイッチ回路 16cが接続されている。このスイッチ回路 16cには、19ビット分のデータ線 21bを介して、上記メモリ領域 MA0, MA1が接続されている。上記DQバッファ 14bには、上記タイミング信号発生器 12が接続されるとともに、19ビット分のデータ線 22aを介して、上記メモリ領域 MA6, MA7および上記スイッチ回路 16dが接続されている。このスイッチ回路 16dには、19ビット分のデータ線 22bを介して、上記メモリ領域 MA4, MA5が接続されている。

【0013】

一方、アドレスバッファ 13にはデコーダ回路 15が接続されている。上記アドレスバッファ 13は、外部アドレス信号 (address) を受け、対応する内部アドレス信号を上記デコーダ回路 15に供給する。なお、外部アドレス信号の値および内部アドレス信号の値は1対1に対応する。また、この内部アドレス信号は、上記デコーダ回路 15および上記スイッチ回路 16a, 16b, 16c, 16dの状態を一意に決める。

【0014】

上記デコーダ回路 15としては、たとえば、X-decoder 0, 1、Y-decoder 0, 1, 2, 3、S-decoder 0, 1、および、D-decoderが用意

されている。上記X-decoder 0, 1および上記Y-decoder 0, 1, 2, 3は、内部アドレス信号に応じて、上記メモリ領域MA 0, ~, MA 7の選択および各メモリ領域MA 0, ~, MA 7内のセルの選択を行う。その際、上述したように、メモリ領域MA 0, MA 6、メモリ領域MA 1, MA 7、メモリ領域MA 2, MA 4、メモリ領域MA 3, MA 5という組み合わせで、上記メモリアレイ 11を活性化させる。

【0015】

上記S-decoder 0, 1は、上記スイッチ回路16c, 16dを制御する。たとえば、メモリ領域MA 0, MA 6またはメモリ領域MA 1, MA 7を選択するときには、スイッチ回路16cがオン、スイッチ回路16dがオフになる。逆に、メモリ領域MA 2, MA 4またはメモリ領域MA 3, MA 5を選択するときには、スイッチ回路16cがオフ、スイッチ回路16dがオンになる。

【0016】

上記D-decoderは、上記スイッチ回路16a, 16bを制御する。スイッチ回路16aは、ライト動作時に、上記入出力回路19からの元データ(13ビット分)と上記パリティ生成回路17からのパリティデータ(6ビット分)とを、上記DQバッファ14a側のデータバスPA 1または上記DQバッファ14b側のデータバスPA 2に振り分ける。また、スイッチ回路16aは、上記入出力回路19からの元データ(19ビット分)を、上記パリティデータとは異なるバス、つまり、上記DQバッファ14b側のデータバスPA 2または上記DQバッファ14a側のデータバスPA 1に振り分ける。なお、上記パリティ生成回路17からのパリティデータは、常に、メモリ領域MA 2, MA 3, MA 6, MA 7のいずれかに格納されるように振り分けられる。スイッチ回路16bは、リード動作時に、上記DQバッファ14a側または上記DQバッファ14b側に19ビット分ずつ振り分けられたデータが、元のデータ(32ビット分)と同じ順番になるように、データバスPB 1, PB 2の接続を切り換える。

【0017】

ここで、上記DQバッファ14a, 14bおよび上記入出力回路19の間は、リード動作時とライト動作時とで別々のデータバスPA 1, PA 2, PB 1, PB 2を使うことを想定している。つまり、リード動作時には、該当する38((13+6)+19)ビット分のデータがそれぞれ活性化されたメモリ領域内から読み出され、さらに、DQバッファ14a, 14bおよびデータバスPB 1, PB 2を介して、上記誤り訂正回路18に入力される。そして、38ビット分のデータのうち、6ビット分のパリティデータを用いて誤り訂正処理が施された32ビット分の元データは、上記入出力回路19を介して、装置の外部に出力される。

【0018】

一方、ライト動作時には、上記入出力回路19に入力された32ビット分の元データが、スイッチ回路16aに入力されると同時に、上記パリティ生成回路17に入力される。そして、上記パリティ生成回路17で生成された6ビット分のパリティデータは、スイッチ回路16aに送られる。スイッチ回路16aに入力された全38ビット分のデータは、6ビット分のパリティデータを含む19ビット分のデータとパリティデータを含まない19ビット分のデータとに分けられ、それぞれデータバスPA 1, PA 2を介して、上記DQバッファ14a, 14bに入力される。こうして、38(19, 13+6)ビット分のデータは、19ビット分ずつ、ほぼ同時に活性化された異なる列の異なるメモリ領域にそれぞれ格納される。

【0019】

図2は、上記スイッチ回路16a, 16bを構成する回路16a', 16b'の一例を示すものである。この回路16a', 16b'は、上記スイッチ回路16a, 16bにおける2ビット分のスイッチであり、たとえば、4つのNMOSトランジスタNTa, NTb, NTc, NTdと1つのインバータ回路invとから構成されている。つまり、上記スイッチ回路16a, 16bには、この回路16a', 16b'がそれぞれ19個ずつ含まれている。

【0020】

上記回路16a', 16b'において、たとえば、上記D-decoderからの選択信号Selectが“1”ならば、NMOSトランジスタNTa, NTbがオン、NMOSトランジスタNTc, NTdがオフとなる。これにより、入力端in[0]と出力端out[0]とが、また、入力端in[1]と出力端out[1]とが、それぞれ接続される。逆に、選択信号Selectが“0”ならば、NMOSトランジスタNTa, NTbがオフ、NMOSトランジスタNTc, NTdがオンとなる。これにより、入力端in[0]と出力端out[1]とが、また、入力端in[1]と出力端out[0]とが、それぞれ接続される。

【0021】

因みに、上記スイッチ回路16aの場合、たとえば、出力端out[0]がデータバスPA1に、出力端out[1]がデータバスPA2に、それぞれ対応する。一方、上記スイッチ回路16bの場合、たとえば、入力端in[0]がデータバスPB2に、入力端in[1]がデータバスPB1に、それぞれ対応する。

【0022】

図3は、上記スイッチ回路16c, 16dの構成例を示すものである。このスイッチ回路16c, 16dは、たとえば、19個のNMOSトランジスタNTによって構成されている。そして、NMOSトランジスタNTの各ゲートが、S-decoder0, 1からの1つの信号Enableによって共通に制御されるようになっている。すなわち、S-decoder0からの信号Enableが“非活性状態(not enable)”になると、スイッチ回路16cの全てのNMOSトランジスタNTがオフされる。これにより、データ線21aとデータ線21bとの間が電氣的に切断される。同様に、S-decoder1からの信号Enableが“非活性状態”になると、スイッチ回路16dの全てのNMOSトランジスタNTがオフされる。これにより、データ線22aとデータ線22bとの間が電氣的に切断される。

【0023】

次に、上記した構成における動作について説明する。ここでは、2つのメモリ領域MA0, MA6がほぼ同時に活性化される場合を例に説明する。

【0024】

たとえば、ライト動作時において、入出力回路19に32ビット分の元データが入力される。すると、その32ビット分の元データは、スイッチ回路16aおよびパリティ生成回路17に送られる。そして、上記パリティ生成回路17によって、32ビット分の元データをもとに、6ビット分のパリティデータが生成される。この6ビット分のパリティデータは、パリティ生成回路17から上記スイッチ回路16aに送られる。

【0025】

この例の場合、S-decoder0からの活性状態の信号Enableによってスイッチ回路16cは接続状態となり、S-decoder1からの非活性状態の信号Enableによってスイッチ回路16dは切断状態になる。また、D-decoderからの選択信号Selectが“0”となって、上記スイッチ回路16aは、各回路16a'における入力端in[0]と出力端out[1]および入力端in[1]と出力端out[0]が、それぞれ接続される。これにより、上記パリティ生成回路17の出力(6ビット分のパリティデータ)と上記入出力回路19の出力の一部(13ビット分の元データ)は、上記スイッチ回路16aからDQバッファ14b側のデータバスPA2に出力される。また、入出力回路19の残りの出力(19ビット分の元データ)は、上記スイッチ回路16aからDQバッファ14a側のデータバスPA1に出力される。

【0026】

すなわち、上記スイッチ回路16aに送られた32ビット分の元データのうち、19ビット分のデータは、直ちに、データバスPA1を介して、DQバッファ14aに送られる。そして、このDQバッファ14aにより、データ線21a、スイッチ回路16c、および、データ線21bを介して、上記メモリ領域MA0に送られ、そこに格納される。

【0027】

一方、上記スイッチ回路16aに送られた32ビット分の元データのうち、13ビット分のデータは、たとえば、上記パリティ生成回路17からの6ビット分のパリティデータとともに、データバスPA2を介して、DQバッファ14bに送られる。そして、このDQバッファ14bにより、データ線22aを介して、上記メモリ領域MA6に送られ、そこに格納される。

【0028】

このように、ライト動作の場合、元のデータ(32ビット)は変更されずにそのまま格納される。そのため、メモリ領域MA0にデータを書き込むのに要する時間が、データライト時間となる(パリティ生成時間を含まない)。これに対し、メモリ領域MA6にデータを書き込むのに必要な時間にはパリティ生成時間が含まれる。しかしながら、データ線22aなどの配線遅延時間は、メモリ領域MA0にデータを書き込む場合よりも短い。つまり、データライト時間は、パリティ生成時間または配線遅延時間のどちらか長い方で決まる。よって、たとえばメモリ領域MA0にデータを書き込むのに必要な時間にパリティ生成時間をも含むような従来と比べると、データライト時間は短くなる。

【0029】

なお、リード動作時の場合は、誤り訂正回路18での処理に全ビット分のデータが必要になる。そのため、データリードに要する時間は、データ線などの配線遅延時間と誤り訂正処理に要する演算時間とによって決まる。つまり、データリード時間は従来とほぼ同程度になる。

【0030】

また、上記したライト動作時およびリード動作時においては、スイッチ回路16c, 16dによって、データ線21b, 22bのいずれか一方を選択的に駆動するようにしている。これにより、データ線で消費される電流の一部(従来の約1/4)を削減することが可能となる。

【0031】

上記したように、ECC回路を備える半導体メモリ装置において、パリティデータは入出力回路19から近いメモリ領域MA2, MA3, MA6, MA7に格納し、演算が行われないデータは遠いメモリ領域MA0, MA1, MA4, MA5に格納するようにしている。すなわち、異なる列の、入出力回路から近いメモリ領域と遠いメモリ領域とをほぼ同時に活性化させるようにしている。これにより、書き込みに時間を要するデータは近いメモリ領域に、書き込みに時間を要しないデータは遠い領域に、それぞれ分けて書き込むことが可能となる。したがって、データアクセス、特に、データの書き込みにかかる時間を短縮することが可能となるものである。

【0032】

しかも、有効になるデータ線の長さを制御する、つまり、データ線21b, 22bの選択的な駆動が可能となる結果、消費電力を削減できる。

【0033】

[第2の実施形態]

図4は、この発明の第2の実施形態にしたがった、ECC回路を備える半導体メモリ装置の基本構成を示すものである。なお、図1と同一部分には同一符号を付し、その詳しい説明は割愛する。

【0034】

この半導体メモリ装置の場合、メモリアレイ11の、一方の列のメモリ領域MA0, MA1, MA2, MA3が一本のデータ線21によって共通に接続されるとともに、他方の列のメモリ領域MA4, MA5, MA6, MA7が一本のデータ線22によって共通に接続されている。

【0035】

このような構成とした場合、消費電力の削減の効果は期待できないものの、データアクセス、特に、データの書き込みにかかる時間を短縮する効果については、第1の実施形態

の場合とはほぼ同様の効果が期待できる。

【0036】

〔第3の実施形態〕

図5は、この発明の第3の実施形態にしたがった、ECC回路を備える半導体メモリ装置の基本構成を示すものである。なお、便宜上、タイミング信号発生器、アドレスバッファおよびデコーダ回路などについては省略している。また、図1および図4と同一部分には同一符号を付し、その詳しい説明は割愛する。

【0037】

この実施形態の場合、メモリ領域MA0, ~, MA7とは別に、メモリ領域MA0, ~, MA7よりも近い場所に、パリティデータを格納するための専用のメモリ領域MA11, MA12を用意する。また、メモリ領域MA0, ~, MA3およびMA4, ~, MA7につながるデータ線21, 22とは別に、上記メモリ領域MA11, MA12につながるデータ線23a, 23bおよびDQバッファ14cを用意する。このような構成によっても、パリティデータを格納するためのメモリ領域MA11, MA12と接続されるデータ線23a, 23bは他のデータ線21, 22よりも短いので、第1の実施形態の場合と同様に、データアクセスの高速化の効果が期待できる。

【0038】

なお、上記した第1, 第2の実施形態においては、メモリ領域のサイズがどの場所でも等しい場合を例に示した。これに限らず、たとえばメモリ領域のサイズを場所によって異ならせることも可能である。たとえば、図1に示した構成の半導体メモリ装置において、メモリ領域MA2, MA3, MA6, MA7のサイズを、メモリ領域MA0, MA1, MA4, MA5のサイズよりも小さくする。そして、メモリ領域MA2, MA3, MA6, MA7は誤り訂正処理のためだけに使用し、メモリ領域MA0, MA1, MA4, MA5にパリティデータ以外のデータを格納するようにする。このような構成とした場合、パリティデータの書き込みがより高速になり、パリティデータの生成により時間をかけることなどが可能となる。

【0039】

その他、本願発明は、上記（各）実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。さらに、上記（各）実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。たとえば、（各）実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題（の少なくとも1つ）が解決でき、発明の効果の欄で述べられている効果（の少なくとも1つ）が得られる場合には、その構成要件が削除された構成が発明として抽出され得る。

【図面の簡単な説明】

【0040】

【図1】本発明の第1の実施形態にしたがった、ECC回路を備える半導体メモリ装置の基本構成を示すブロック図。

【図2】半導体メモリ装置におけるスイッチ回路の一例を示す構成図。

【図3】半導体メモリ装置におけるスイッチ回路の一例を示す構成図。

【図4】本発明の第2の実施形態にしたがった、ECC回路を備える半導体メモリ装置の基本構成を示すブロック図。

【図5】本発明の第3の実施形態にしたがった、ECC回路を備える半導体メモリ装置の基本構成を示すブロック図。

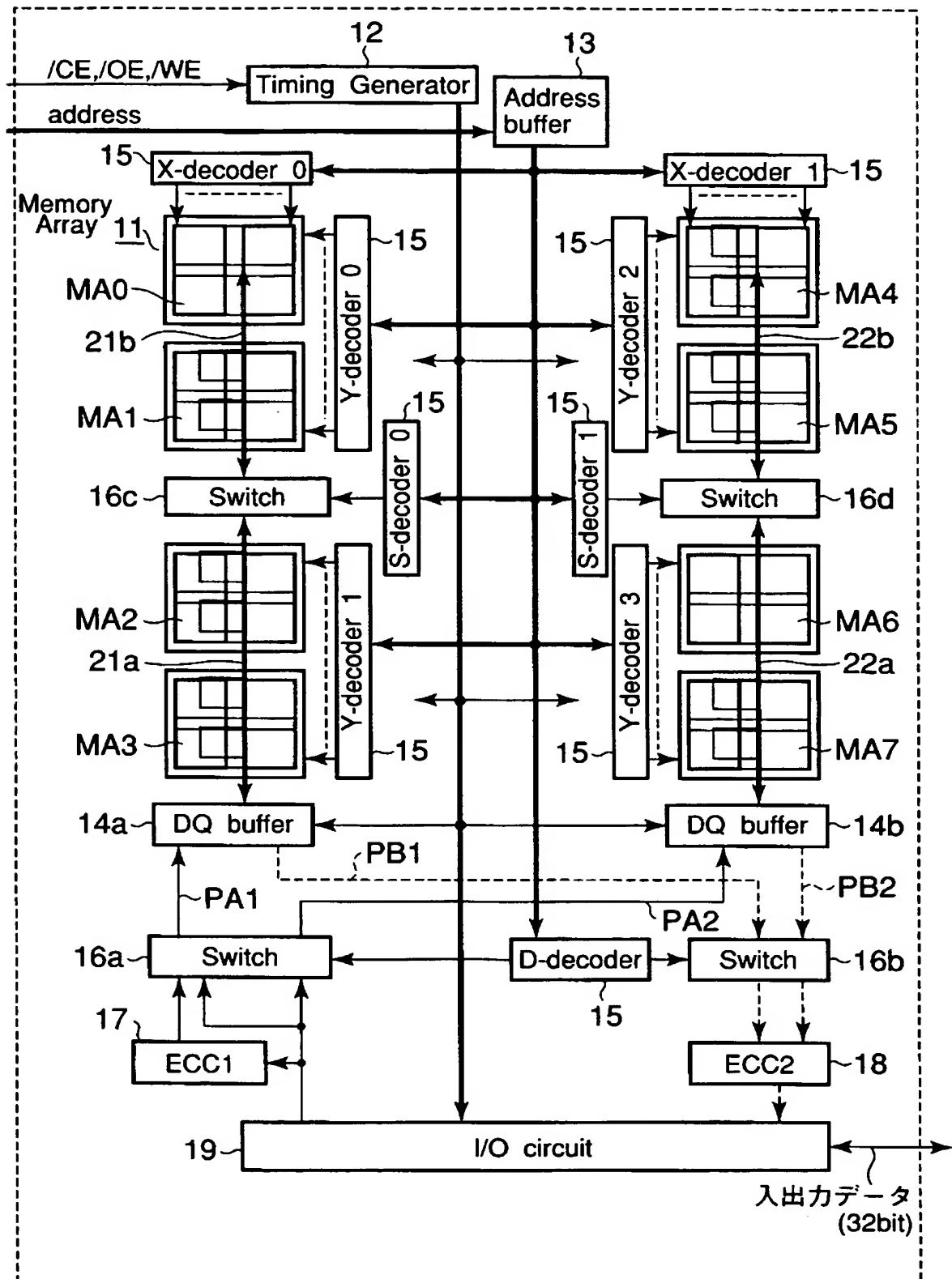
【符号の説明】

【0041】

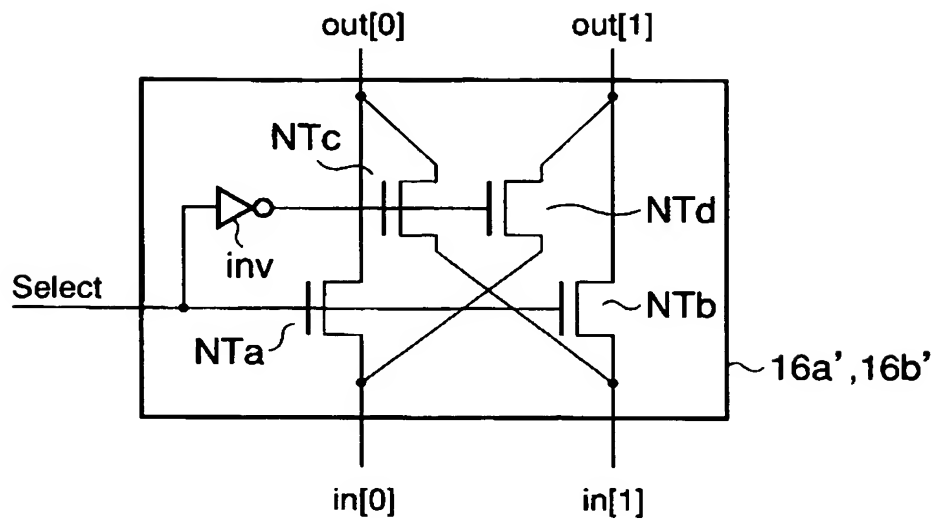
11…メモリアレイ、12…タイミング信号発生器、13…アドレスバッファ、14a, 14b, 14c…DQバッファ、15…デコーダ回路、16a, 16b, 16c, 16d…スイッチ回路、17…パリティ生成回路（ECC1）、18…誤り訂正回路（ECC

2)、19…入出力回路、21, 21a, 21b, 22, 22a, 22b, 23a, 23b…データ線、MA0, MA1, MA2, MA3, MA4, MA5, MA6, MA7, MA11, MA12…メモリ領域、PA1, PA2, PB1, PB2…データパス。

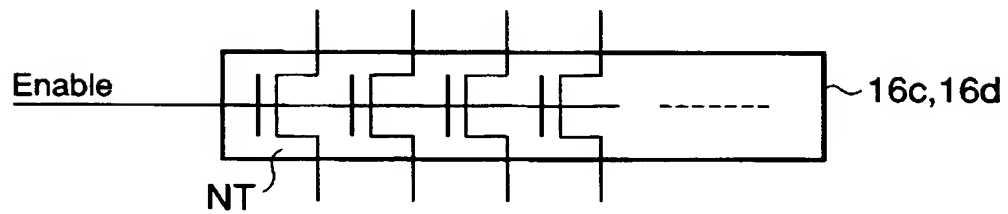
【書類名】 図面
【図 1】



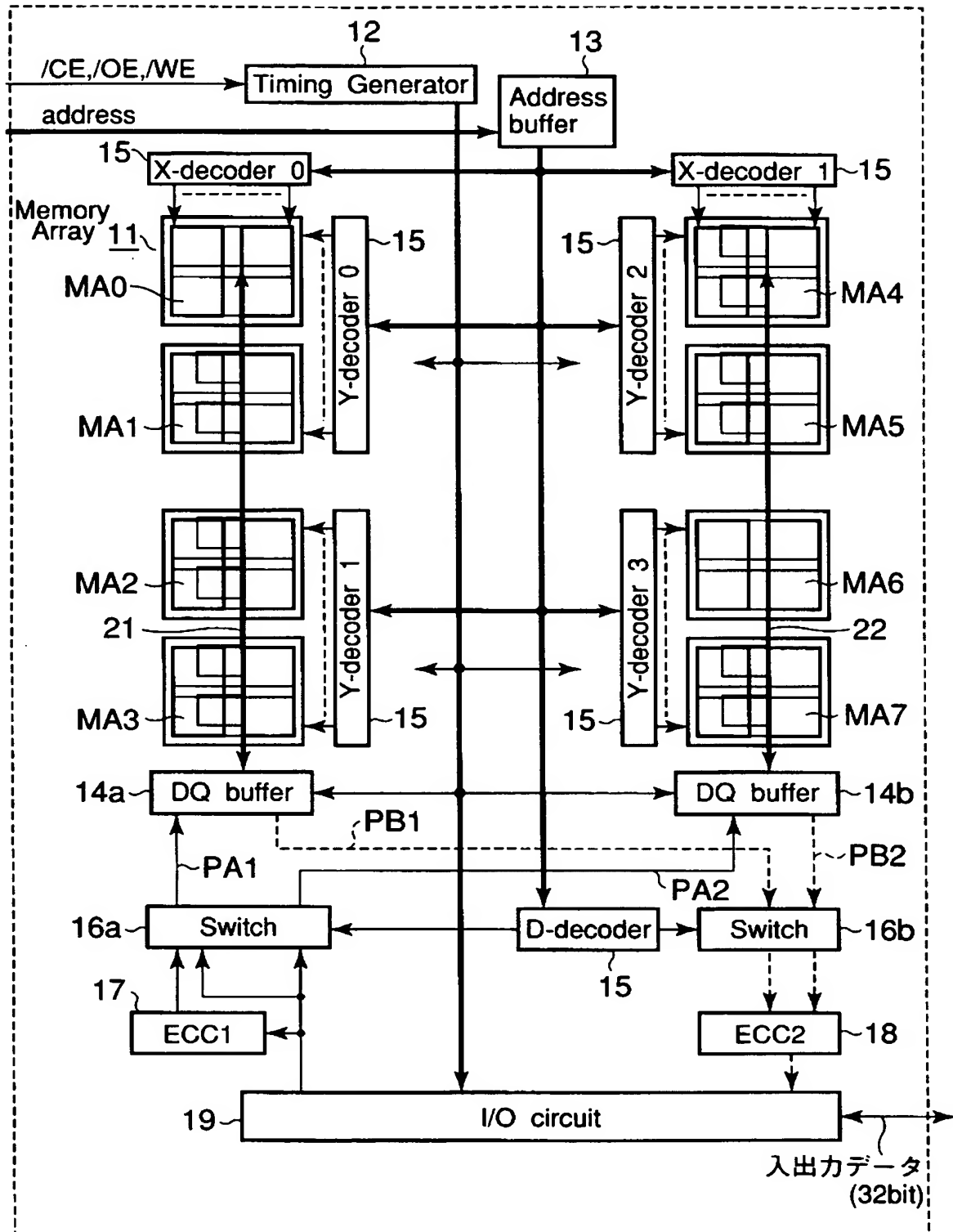
【図 2】



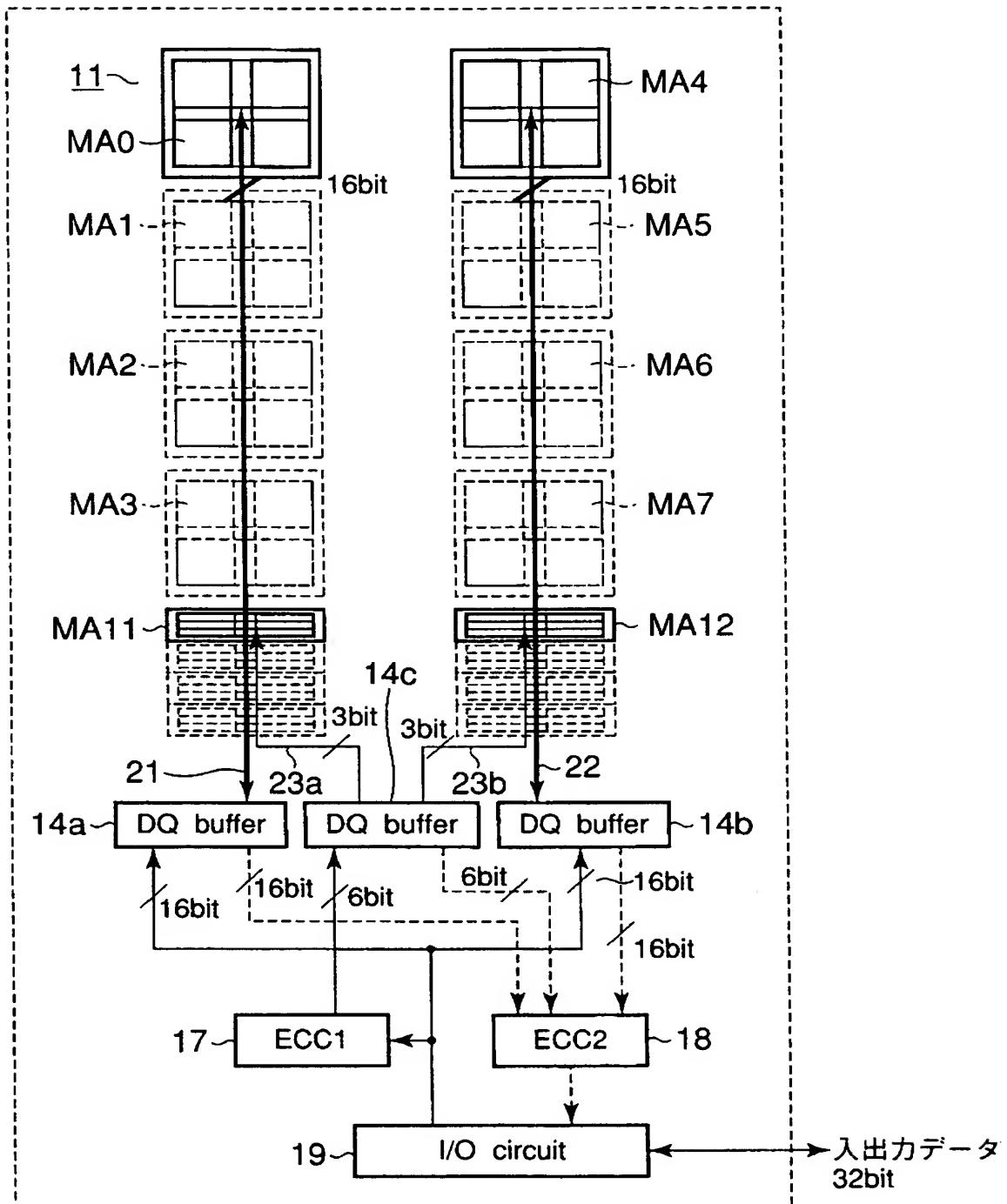
【図 3】



【圖 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 本発明は、ECC回路を用いてデータ訂正を行う方式の半導体メモリ装置において、データアクセスを高速化できるようにすることを最も主要な特徴としている。

【解決手段】 たとえば、1回のアクセスによって、列の異なる2つのメモリ領域MA0、MA6をほぼ同時に活性化させる。そして、活性化されたメモリ領域MA0、MA6のうち、遠い方のメモリ領域MA0に対しては、入出力回路19に入力された32ビット分の元データのうちの19ビット分のデータをそのまま格納させる。一方、メモリ領域MA0よりも近い方のメモリ領域MA6に対しては、入出力回路19に入力された32ビット分の元データのうちの13ビット分のデータと、32ビット分の元データをもとに、パリティ生成回路17により生成された6ビット分のパリティデータとを格納させる構成となっている。

【選択図】 図1

特願 2 0 0 4 - 0 1 0 8 0 6

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝